

ExpressWorkshop VHDL

VHDL Simulation leicht gemacht

VHDL bietet ideale Voraussetzungen für die Entwicklung programmierbarer Logik, selbst für komplexeste CPLD/FPGA Designs. Doch jede gute Idee wird erst dann zu einer qualitativen, zuverlässigen Schaltung, wenn durch geeignete Verifikationsmethoden die volle Funktionsfähigkeit unter allen Bedingungen nachgewiesen wurde. Der ExpressWorkshop „VHDL Simulation leicht gemacht“ demonstriert unterschiedliche Verifikations-Strategien. Sie sind damit in der Lage entsprechend dem Design, die dafür optimale Verifikations-Methodik auszuwählen.

Nachdem es in der Verifikation besonders auf die Realitätsnähe ankommt, stehen in diesem ExpressWorkshop die besonderen Vorteile von VHDL als Modellierungs-

sprache im Mittelpunkt. Von der Idee bis zum komplexen SoC werden die dazu passenden Strategien und Test Benches demonstriert.

Anwendbare Technologien

Alle CPLDs / FPGAs

Voraussetzungen

Grundlagenwissen VHDL

Dauer und Kosten

1 Tag, € 180,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

The VHDL Test Bench Concept

- Test Bench Structure
- Definition of Terms
- Test Bench Examples

Prerequisites for modeling external components

- The VHDL timing model
- Using variable delays
- The assert statement
- Assert statement with the 'instance and 'path attribute
- Functions and Procedures

Advanced modeling techniques

- The Package TEXT I/O
- Writing to Files
- Reading from Files
- Generics & Attributes

Generating the Stimulus

- Basic Stimulus Generation
- Reading Stimulus from external File
- Random Stimulus Data
- Analog type Stimulus Data

Checking the Behavior

- Checking the setup time requirement
- Checking the hold time requirement
- Passive Process