

Workshop PlanAhead

PlanAhead ist heute als ein leistungsfähiges Analyse- und Floorplanning-Softwarepaket fester Bestandteil jeder ISE-Softwareversion. Jüngste Entwicklungen lassen PlanAhead immer mehr zu einer Ersatzoberfläche zum Projektnavigator werden. Außerdem wurden z.B. PACE und der Floorplanner vollständig von PlanAhead verdrängt. Ausgehend von HDL-Dateien kann PlanAhead für die Schaltungssynthese oder -analyse genauso Verwendung finden wie für die physikalische Implementierung oder das Chip-Layout. Auch auf mehreren Netzlisten basierende Designs stellen für PlanAhead keine Hürde dar. Globale Vorgaben werden über beliebig viele UCF-Dateien mitgeteilt oder können neu definiert werden. Mit PinAhead kann die Basisinformation für das Boardlayout schon erzeugt werden, noch ehe mit der Entwicklung der Schaltung begonnen wurde. Diverse Design-Rule-Checks und andere Analysemethoden lassen mögliche Ressourcen- oder Performanceengpässe frühzeitig erkennen. So kann mit Hilfe der intuitiven graphischen Benutzeroberfläche eine Optimierung stattfinden. Diese resultiert in besse-

rer Performance (Timing) oder größerer Packungsdichte. Besonders bei hohen Stückzahlen sind damit durch den möglichen Einsatz kleiner FPGAs bzw. langsamerer Speedgrades kostengünstigere Lösungen möglich.

Bei komplexen Designs bietet der modulare Ansatz weiterhin Verkürzungen der Programmlaufzeiten sowie eine verbesserte Konsistenz der Ergebnisse.

Zur Demonstration der Software werden Übungen an mitgelieferten Designs durchgeführt.

Anwendbare Technologien

aktuelle FPGA-Technologien

Voraussetzungen

Detaillierte Kenntnisse der FPGA-Technologie und ISE Design Flow

Dauer und Kosten

2 Tage, € 1.350,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Anwendung und Einsatzbereiche von PlanAhead

- High Performance Design
- High Density Design
- Incremental Design

Schaltungssynthese

- RTL-Schematic
- Synthesestrategien
- Importierung der Synthesergebnisse

Designanalyse

- Importieren von Netzlisten
- Designstatistiken, Verbindungen und Timing

Partitionierung und Floorplanning

- automatische / manuelle Partitionierung
- Floorplanning zur Performanceverbesserung

Implementierung

- Constrainteingabe und Design Rule Checker (DRC)
- Importieren von Implementierungsergebnissen zur weiteren Optimierung

Erzeugung von IP-Blöcken

- Anwendung von inkrementellen Designtechniken
- Exportieren von IP-Modulen

Übungen am PC

