

## Workshop Physical Constraints

Die Leistungsanforderungen an FPGA Entwicklungen steigen stetig, wobei die FPGA Performance von verschiedenen Faktoren abhängt. Zuerst ist die Schaltungstechnik von großer Bedeutung. Daneben ist natürlich die Definition und die Verwendung von Timing Constraints ein ebenso wichtiger Bestandteil der FPGA Entwicklung. Diese Inhalte werden in den PLC2 Workshops „FPGA Schaltungstechnik“ und „Timing Constraints“ behandelt. Der andere wesentliche Aspekt einer FPGA Entwicklung sind die sogenannten Physical Constraints. Darunter versteht man verschiedene Vorgehensweisen und Strategien wie z.B. „Floorplanning“, „Relationally Placed Macros (RPM)“, „Incremental/Modular Design“ und weitere spezielle Techniken zur Optimierung des FPGA Layouts.

Der 2-tägige Workshop „PhysicalConstraints“ konzentriert sich auf diese Verfahren zur Optimierung des FPGA Layouts und richtet sich an FPGA Designer mit solidem XILINX FPGA Grundlagenwissen.

Ausgehend vom XILINX Design Flow werden die Optionen für MAP und PAR ausführlich behandelt. An-

schließend werden anhand von Beispielen die Programme PACE, Floorplanner und Plan Ahead vorgestellt.

Behandelte Themen sind u.a. Pinout Constraints, Area Constraints sowie die Optimierungsstrategien Smart Guide und Smart Compile. Um weitere spezielle Optimierungen vornehmen zu können wird darüber hinaus die Verwendung des FPGA Editors geschult.

Neben der Möglichkeit diese Constraints mit PlanAhead einzugeben, wird auch die effiziente Methode der direkten Eingabe der Constraints im UCF File geschult.

### Anwendbare Technologien

alle FPGA Technologien

### Voraussetzungen

Detaillierte Kenntnisse des ISE Design System

### Dauer und Kosten

2 Tage, € 1.350,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Introduction

- Options for map
  - Physical
  - Timing
- Options for place and route
  - Physical
  - Timing

### Basic floor planning

- Introduction
- Area constraints and I/O layout
- Floorplanner

### Advanced floor planning

- Introduction
- RPM

### FPGA Editor

- FPGA Editor Basics
- Viewing Device resource and constrained paths
- In-circuit testing

### Methods for optimizing

- Smart Guide
  - Introduction
  - Smart Guide
  - Partitions
- SmartCompile
  - SmartCompile-XST
  - SmartCompile-Synplify pro

### PLAN AHEAD

- Design analysis
- Partitioning and floor planning
- Implementation