

PowerWorkshop

Professional XILINX Design Constraints

Die Leistungsanforderungen an FPGA Entwicklungen steigen stetig, wobei die FPGA Performance von verschiedenen Faktoren abhängt. So ist z.B. die FPGA Schaltungstechnik von großer Bedeutung. FPGA Schaltungstechnik wird in den PLC2 Workshops „Compact FPGA Schaltungstechnik“ und „Professional FPGA Schaltungstechnik“ behandelt. Die Definition und Verwendung von Timing Constraints sowie der sogenannten Physical Constraints ist ebenso ein wichtiger Bestandteil der FPGA Entwicklung. Unter Physical Constraints versteht man verschiedene Vorgehensweisen und Strategien wie z.B. „Floorplanning“, „Relationally Placed Macros (RPM)“, „Incremental/Modular Design“ und weitere spezielle Techniken zur Optimierung des FPGA Layouts. Behandelte Themen sind u.a. Pinout Constraints, Area Constraints sowie die Optimierungsstrategien Smart Guide und Smart Compile. Im Abschnitt Timing Constraints werden nach einer detaillierten Vorstellung des für die statische Timing Analyse verwendeten Werkzeuges TRACE typische Timingfehler

und deren Ursachen analysiert. Behandelte Themen sind u.a. die Anwendung globaler Timing Constraints auf einfache synchrone Schaltungen sowie die Definition komplexer spezifischer Pfade, wie z.B. Multi Cycle Constraints, FALSE PATH, bei allgemeinen Schaltungen.

Der 5-tägige PowerWorkshop „Professional XILINX Design Constraints“ konzentriert sich auf die Verfahren zur Optimierung des FPGA Entwurfs und richtet sich an FPGA Designer mit solidem XILINX FPGA Grundlagenwissen.

Anwendbare Technologien

Alle FPGA-Technologien

Voraussetzungen

Detaillierte Kenntnisse des ISE Design System

Dauer und Kosten

5 Tage, € 2.800,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Timing budget of digital Circuits

- Basic model
- Input / output Timing
- Optimization of clock frequency
- Pipelining & Multicycle

Timing Analyzer

- Interpreting Timing Reports

Basic Constraints

- PERIOD Constraint
- OFFSET Constraint
- DUTY_CYCLE
- MAX_DELAY

XST timing constraints

- XST timing constraints
- Timing model

UCF/NCF FILES

- UCF Flow
- UCF/NCF File Syntax
- Common Constraints
- Path-Specific Constraints

The Constraints Editor

- Creating Groups

- Inter-clock Domain Constraining
- Constraining Multi-cycle Paths
- False Paths
- Miscellaneous Options

Advanced Timing Constraints with the UCF File

- FROM: TO and Groups
- Groups with TNM
- More on Groups
- TPTHU and TPSYNC
- TIG, MAXDELAY and MAXSKEW

Physical constraints

- Options for map
- Options for place and route

Floor planning

- Area constraints and I/O layout
- Floorplanner
- PlanAhead

FPGA Editor

- FPGA Editor Basics

Smart Guide

SmartCompile