

Workshop Easy Start Connectivity

So schwierig kann das doch nicht sein! – Ist es auch nicht!
Wir zeigen Ihnen, wie es geht.

Schnelle parallele Interfaces, Multi-Gigabit-Übertragungstrecken und PCI Express-Systeme werden in diesem Workshop von ihrer einfachen Seite dargestellt und erläutert. Die Betonung liegt hier auf der praktischen Umsetzung und Anwendung. An Theorie wird nur das absolut notwendige Minimum besprochen. Stattdessen werden Ansätze diskutiert, designed und per Simulation verifiziert.

Im Bereich der parallelen Interfaces wird im Besonderen das Arbeiten mit den SERDES-Komponenten und der Bit-slip-Funktion betrachtet. Den nächsten Schritt stellt die Erzeugung und Implementierung einer Multi-Gigabit-Übertragungstrecke dar. Selbstverständlich wird dieses System auch simuliert werden. Den Abschluß bildet das Design eines PCI Express Systems, welches wiederum zunächst als Core-Zelle erzeugt, simuliert und implementiert wird.

Dieser Workshop erhebt keinen Anspruch auf eine erschöpfende Vermittlung von Detailwissen sondern vielmehr auf Darstellung von globaleren Prinzipien.

Die Übungsmaterialien sowie das XILINX Evaluation Board inklusive erarbeiteter Lösungen können von den Teilnehmern mitgenommen werden.

Anwendbare Technologien

aktuelle FPGA-Technologien

Voraussetzungen

Easy Start FPGA bzw.

Grundkenntnisse in VHDL

Anwendungskennntnisse im XILINX Design Flow

Grundkenntnisse in der FPGA Technologie

Dauer und Kosten

2 Tage, € 1.550,- netto pro Teilnehmer inklusive XILINX Evaluation Board mit Musterlösungen sowie Schulungsunterlagen, Pausengetränken und Mittagessen

Agenda

Erstellung eines parallelen Interfaces

- XILINX Primitives
I/O BUF
ISERDES, OSERDES
IODELAY
- Word Alignment (Bitslip)
- Simulation
- Core Generator

Multi-Gigabit-Transceiver Interface

- Erzeugung mit Core-Generator
- Wichtige Optionen
- Wichtige Interface-Signale
- Einbinden der Corezelle
- Simulation einer Anwendung
- Implementierung

PCI Express

- Erzeugung mit Core-Generator
- Wichtige Optionen
- Wichtige Interface-Signale
- Einbinden der Corezelle
- Simulation einer Anwendung
- Implementierung

Diverse Übungen unterstützen beim Lernen

