

# Workshop Compact System Verilog

**Neu**

SystemVerilog ist eine Weiterentwicklung von Verilog-HDL, was bislang insbesondere im amerikanischen und asiatischen Raum Verbreitung gefunden hat. Auf verstärktes Interesse trifft SystemVerilog hierzulande insbesondere im Zusammenhang der Verifikation mit Assertions (Verifikation mittels z.B. mathematischer Beweisführung anstelle von – oder ergänzend zu – komplexen Testbenches). Dieser Workshop führt in das FPGA-Design mittels SystemVerilog ein. Dabei liegt der Schwerpunkt auf der Entwicklung von RTL-Code. Der Design Flow mit Rodin spielt ebenfalls eine Rolle. Selbstverständlich wird auch die Entwicklung von klassischen Testbenches angesprochen.

Insgesamt legt der Kurs wert auf praktisches Arbeiten. Die zahlreichen Übungen helfen, das gelernte theoretische Wissen anwenden zu können.

## Anwendbare Technologien

Alle (von Technologie unabhängig)

## Voraussetzungen

Grundkenntnisse Digitaltechnik (wie z.B. in „Compact FPGA Schaltungstechnik“ vermittelt) sind hilfreich  
Grundkenntnisse Verilog (wie z.B. in „Compact Verilog“ vermittelt) sind hilfreich

## Dauer und Kosten

3 Tage, € 1900,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

## Agenda

### Data Types

### Procedural Statements

### Interfaces

### Arrays and Lists

### New SystemVerilog Operators

### Functions & Tasks

### Packages and Configuration Libraries

### Programs and Module Binding

### Object Oriented Programming

### Random Data Simulation

### Assertions

### Coverage

### Übungen

- Interfaces
- Arrays and Lists
- Packages and Libraries
- Programs and Module Binding
- Object Oriented Modeling
- Random Data Simulation
- Assertions
- Coverage