

Workshop Compact Verilog

Durch den stetig steigenden Bedarf nach programmierbaren Bausteinen hoher Komplexität verbunden mit hohen Taktraten werden die Anwender mit neuen, ebenfalls stetig wachsenden Herausforderungen konfrontiert. Da Schnelligkeit, Flexibilität und hohes Qualitätsniveau entscheidend für den wirtschaftlichen Erfolg sind, müssen moderne und leistungsfähige, auf Hardware-Beschreibungssprachen basierende Designmethoden eingesetzt werden, um der Forderung nach kürzesten Entwicklungszeiten und hoher Qualität gerecht zu werden.

Der PLC2-Workshop „Compact Verilog“ schult den Anwender im Einsatz von Verilog HDL. Die Teilnehmer lernen die grundlegenden Beschreibungselemente sowie die Einsatzbereiche von Verilog kennen. Die theoretischen

Inhalte werden durch Übungen am PC abgerundet. Zur Verilog Synthese und Simulation arbeiten dabei bis zu maximal zwei Teilnehmer gemeinsam an einem PC und Evaluierungsboard.

Anwendbare Technologien

alle (von Technologie unabhängig)

Voraussetzungen

Grundkenntnisse Digitaltechnik (wie z.B. in „Compact FPGA Schaltungstechnik“ vermittelt) sind hilfreich

Dauer und Kosten

3 Tage, € 1.900,- netto pro Teilnehmer
inklusive ausführlichen Schulungsunterlagen
sowie Pausengetränken und Mittagessen

Agenda

Der XILINX Design Tool Flow

Anwendungs- und Einsatzbereiche von Verilog

- Das Sprachkonzept von Verilog

Der Verilog Design Flow

- Design Entry mit Verilog
- Syntax und Befehlssatz
 - Überblick
 - Operatoren
 - Hierarchiebildung
 - Blocking vs Non-Blocking Statements
 - Compilerdirektiven
 - Bildung hierarchischer Strukturen
- Verilog Coding Hints für FPGAs

Die Verilog Synthese

- Coding Style: kombinatorische Logik
- Coding Style: getaktete Logik

Unterprogramme

- Tasks
- Functions

Beschreibung komplexer Schaltungen in Verilog

- Entwicklung von Applikationen mit anschließendem Test in realer Hardware

Die Verilog Simulation

- Das Verilog Test Fixture Konzept & die Durchführung der Simulation

Zustandsautomaten

Designing für XILINX FPGAs

Übungen der Teilnehmer am PC