

PowerWorkshop

Expert FPGA Schaltungstechnik

Neu

Die Hardware-Beschreibungssprache VHDL in Verbindung mit einem FPGA erlaubt die Entwicklung und Verifikation einer komplexen Schaltung in kürzester Zeit. Der PowerWorkshop „Expert Schaltungstechnik“ basiert auf der Methode „learning by doing“ und illustriert die VHDL basierende FPGA Entwicklung anhand von Designbeispielen. Die Bandbreite der durchgeführten Designs reicht von einfachen Schaltungen wie z.B. Entprellschaltungen oder Rotary Encoder über speziellen Schaltungen wie Binary-to-BCD Konvertierung bis hin zu komplexen Projekten wie UART-, PS2- oder ADC Schnittstellen. Alle vorgestellten und vom Teilnehmer bearbeiteten Designbeispiele werden auf einem Spartan3 Evaluation Board, wie z.B. NEXYS2 von Digilent, physikalisch implementiert. Der Schwerpunkt des PowerWorkshops liegt auf der Entwicklung von Hardware, nicht auf der VHDL Syntax. Statt einer detail-

lierten Analyse der VHDL Syntax wird hier nur ein relativ kleiner, synthetisierbarer Subset von VHDL in Form von Musterlösungen/Templates verwendet. Da der Fokus des PowerWorkshops auf Hardware Design liegt, werden die für die Simulation benötigten VHDL Test Benches nur so weit wie notwendig besprochen.

Anwendbare Technologien

Alle FPGA-Technologien

Voraussetzungen

Grundkenntnisse in VHDL und Digitaltechnik
Grundkenntnisse im XILINX Design Flow

Dauer und Kosten

5 Tage, € 2.800,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Overview

- FPGA Technology
- Combinatorial Circuits
- Sequential Circuits
 - Clock Strategies
 - Design Rules

Finite State Machines FSM

- Edge Detection Circuits
- Debouncer
- Rotary Decoder

Project 1

- Division
- Binary-to-BCD Conversion

Project 2

- Period Counter
- Accurate Period Counter

Project 3

- External RAM Interface
 - Timing Requirements
 - Basic Memory Controller
 - Alternative Memory Controller

Project 4

- UART Interface
 - Baudrate Generator
 - Receiver
 - Transmitter
- PS2 Interface
- ADC Interface