

Seminar PlanAhead

PlanAhead ist nicht nur ein leistungsfähiges Plug-In für die ISE Designumgebung sondern wird in zukünftigen XILINX Entwicklungsumgebungen wie z.B. Rodin eine zentrale Rolle spielen. Dabei stellt PlanAhead eine Fülle von vielfältigen Analyse- und Constraint Werkzeugen zur Verfügung.

PlanAhead wird deshalb die bekannte Oberfläche von ISE ablösen und eine eigene einheitliche Designoberfläche zur Verfügung stellen. Neue Methoden und Strategien, wie z.B. Partial Reconfiguration oder SmartCompile, sind bereits heute nur über PlanAhead zugänglich.

In diesem Seminar lernt der Teilnehmer den Designflow für eine erfolgreiche Implementierung von FPGA-Schaltungen unter Verwendung von PlanAhead kennen. Hierfür werden zunächst die Möglichkeiten der Software sowie die Verzeichnis- und Dateistruktur aufgezeigt. In diesem Zusammenhang werden auch die unterschiedlichen Projektarten erörtert (RTL, Pin Planning, Implementierung,

Analyse), wobei die Betonung für den weiteren Verlauf insbesondere auf der Projektierung von HDL basierten Designaufgaben liegt. Neben der Erzeugung und Einbindung von RTL-Quelldateien werden auch das PinPlanning und die Integration des CORE-Generators gezeigt. Im Zuge der auf Strategien basierten Implementierungen werden neben der Timinganalyse auch Methoden wie z.B. der Design Rule Check (DRC) oder SSN Noise Analysis demonstriert.

Anwendbare Technologien

aktuelle FPGA-Technologien

Voraussetzungen

Grundkenntnisse der FPGA-Technologie und des XILINX Design Tool Flow sind hilfreich

Dauer und Kosten

1 Tag, die Teilnahme an diesem Seminar ist kostenlos, Seminarsprache ist Deutsch

Agenda

PlanAhead Tool Project Manager

- PlanAhead Tool Design Flows
- Creating a Project
- Project Manager
- PlanAhead Tool Tips

I/O Pin Planning

- Using the Pin Planning Environment
- I/O Layout
- Importing and Exporting an I/O Port List

- Creating, Configuring, and Placing I/O Ports and Interfaces
- Running DRC and Noise Analysis
- Selecting Alternate Compatible Parts

Floorplanning

- Area Constraints (Pblock)
- LOC Constraints
- BEL Constraints
- Fixed and Unfixed Constraints