

Workshop

Designing for Performance with XILINX FPGAs

Dieser PLC2-Workshop beinhaltet eine umfassende Darstellung der aktuell neuesten XILINX FPGAs. Neben der Architektur programmierbarer Bausteine, konzentriert sich dieser Workshop auf den kompletten XILINX FPGA Design Flow sowie Methoden und Vorgehensweisen für effiziente FPGA Entwicklung. Gerade die Erzielung höchster Taktraten bei gleichzeitig hoher Ausnutzung ist häufig eine große Herausforderung bei der Entwicklung der FPGAs.

Die Verwendung spezifischer Timing Constraints kann hier der entscheidende Schlüssel zum Erfolg sein.

Timing Constraints und deren Verwendung ist daher einer der Schwerpunkte. Die Beschreibungssprache VHDL hat sich schon weitgehend in den Entwicklungsabteilungen etabliert. Dieser Workshop zeigt anhand von Beispielen, wie VHDL im Designzyklus eingebunden wird bzw. welche grundlegenden Strategien bei der Logiksynthese

verfolgt werden sollten. Da die Beschreibungssprache VHDL nicht Bestandteil dieses Workshops ist, sollten die Teilnehmer über grundlegende VHDL Kenntnisse verfügen. Hier wird auf den Workshop „Compact VHDL“ oder den PowerWorkshop „Professional VHDL“ verwiesen. Die theoretischen Inhalte werden durch praktische Übungen am Laptop/PC abgerundet.

Anwendbare Technologien

Aktuelle FPGA Technologien

Voraussetzungen

Basiswissen XILINX FPGA Architekturen
Grundlagen ISE Design System

Dauer und Kosten

3 Tage, € 1.900,- netto pro Teilnehmer inklusive ausführlichen Schulungsunterlagen sowie Pausengetränken und Mittagessen

Agenda

Designing with FPGA Resources

- Introduction
- I/O
- Block RAMs and FIFOs
- DSP48 Resources

Core Generator Software System

- Overview
- Using the CORE Generator Software System
- CORE Generator Software Flow

Clock Resources

- Virtex Clock Networks
- Artix Clock Networks
- Kintex Clock Networks

FPGA Design Techniques

- Duplicating Flip-Flops
- Pipelining
- I/O Flip-Flops
- Synchronization Circuits

Introduction to Efficient Synthesis and Coding Tips

- Achieving Timing Closure
- Timing Reports
- Interpreting Timing Reports

Path-Specific Timing Constraints Part 1

- Creating Groups
- Inter-Clock Domain Constraints
- Multi Cycle Path

Path-Specific Timing Constraints Part 2

- False Path
- OFFSET Constraints
- Miscellaneous Constraints
- Advanced Implementation Options

Advanced MAP and Place & Route Options

- SmartXplorer
- SmartGuide Technology

Übungen am PC