

Workshop Timing Constraints

Die Entwicklung komplexer FPGAs mit anspruchsvollen Timingvorgaben stellt den Anwender vor neue Herausforderungen. Vorgehensweisen wie z.B. „Floorplanning“, „Relationally Placed Macros (RPM)“, „Incremental/Modular Design“ und spezielle zeitgesteuerte Implementierungsverfahren mit Hilfe sogenannter Timing Constraints können hier sehr hilfreich sein.

Der 2-tägige Workshop „Timing Constraints“ konzentriert sich auf solche zeitgesteuerte Implementierungsverfahren und richtet sich an FPGA Designer mit solidem XILINX FPGA Grundlagewissen.

Nach einer detaillierten Vorstellung des für die statische Timing Analyse verwendeten Werkzeuges TRACE werden typische Timingfehler und deren Ursachen analysiert. Ebenso lernen Sie wie diese Timingfehler behoben werden können. Basierend auf der von XILINX entwickelten „Timing Closure“ Strategie wird dann die gesamte verfügbare Bandbreite der vorhandenen Timing Constraints vorgestellt. Behandelte Themen sind u.a. die Anwendung globaler Timing Constraints auf einfache synchrone Schaltungen sowie die Definition komplexer spezifischer Pfade, wie

z.B. Multi Cycle Constraints, FALSE PATH, bei allgemeinen Schaltungen. Neben der Möglichkeit diese Constraints mit dem XILINX Constraint Editor einzugeben wird auch die effiziente Methode der direkten Timingspezifikation im UCF File geschult.

Um die theoretischen Inhalte zu vertiefen kann optional ein dritter Tag gebucht werden. In diesem optionalen Teil wird anhand eines konkreten, komplexen FPGA Designs die zuvor erlernten Strategien in der Praxis angewendet.

Anwendbare Technologien

alle FPGA Technologien

Voraussetzungen

Detaillierte Kenntnisse des ISE Design System

Dauer und Kosten

2 oder 3 Tage, 3. Tag optional: Praxisübungen

€ 1.350,- netto pro Teilnehmer (2 Tage Workshop)

€ 1.900,- netto pro Teilnehmer (3 Tage Workshop)

inklusive Schulungsunterlagen, Pausengetränken und Mittagessen

Agenda

Timing budget

- Basic model
- Input / Output Timing
- Optimization of clock frequency
- Pipelining
- Multicycle

XILINX Timing Closure Flow

Timing Analyzer

Common Timing Errors

- Interpreting Timing Reports

Basic Constraints

- PERIOD Constraint
- OFFSET Constraint
- DUTY_CYCLE
- MAX_DELAY
- TIG
- OFFSET

Constraints FILES

- Introduction
- Constraints File Syntax

- Common Constraints

- Path-Specific Constraints

The Constraints Editor

- Creating Groups
- Creating OFFSET IN/OUT Groups
- Inter-clock Domain Constraining
- Constraining Multi-cycle Paths
- False Paths
- Miscellaneous Options

Advanced Timing Constraints mit dem UCF File

- FROM: TO and Groups
- Groups with TNM
- More on Groups
- TPTHU and TPSYNC
- TIG
- MAXDELAY and MAXSKEW

Komplex Design Example

- Timing Specification
- Timing Error Analysis
- Correcting of the Timing Errors